

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-154389

(43)Date of publication of application : 13.06.1990

(51)Int.Cl.

G11C 11/22

G11C 11/42

H01L 27/10

(21)Application number : 01-175065

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 06.07.1989

(72)Inventor : NAGASAKI TATSUO
OMURA MASAYOSHI
WATANABE HITOSHI
YOSHIMORI HIROYUKI
IMAIDE SHINICHI
IKUTA HIDETSUGU
YANAGISAWA KAZUMUKI

(30)Priority

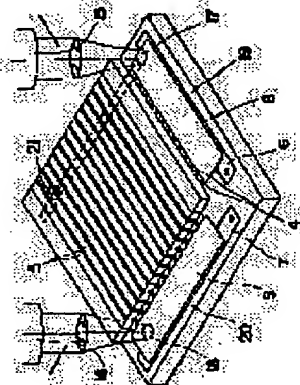
Priority number : 63170471 Priority date : 08.07.1988 Priority country : JP

(54) FERROELECTRIC MEMORY

(57)Abstract:

PURPOSE: To surely perform information recording and reading-out at high speeds by forming a semiconductor circuit section which is held at least between the 1st stripe electrode and ferroelectric thin film or between the 2nd stripe electrode and the ferroelectric thin film.

CONSTITUTION: This ferroelectric memory is constituted of common electrodes 6 and 7 which are respectively provided along the arranging directions of the 1st and 2nd stripe electrodes at places apart from end sections of the electrodes 4 and 5, switching means 8 and 9 which respectively connect the 1st and 2nd stripe electrodes with the common electrodes 6 and 7 and, at the same time, select electrodes output of the stripe electrodes, and a semiconductor circuit section which is held at least between the 1st stripe electrodes 4 and a ferroelectric thin film 3 or between the 2nd stripe electrodes 5 and the thin film 3. Since data are recorded in memory cells 21 respectively constituted of intersections of the 1st and 2nd stripe electrodes 4 and 5 as residual polarization, information recording positions can be specified and, in addition, crosstalk between adjacent memory cells can be prevented. Therefore, information recording and reading-out can be performed surely at high speeds.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平2-154389

⑤ Int. Cl.

識別記号

庁内整理番号

④ 公開 平成2年(1990)6月13日

G 11 C 11/22

8522-5B

H 01 L 27/10

4 5 1

B

7341-5B

8624-5F

審査請求 未請求 請求項の数 6 (全24頁)

⑭ 発明の名称 強誘電体メモリ

⑰ 特 願 平1-175065

⑱ 出 願 平1(1989)7月6日

優先権主張 ⑲ 昭63(1988)7月8日 ⑳ 日本(JP)㉑ 特願 昭63-170471

⑲ 発 明 者 長 崎 達 夫 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑲ 発 明 者 大 村 正 由 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑲ 発 明 者 渡 辺 均 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑲ 出 願 人 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

最終頁に続く

明細書

1. 発明の名称

強誘電体メモリ

2. 特許請求の範囲

(1) 強誘電体薄膜と、この強誘電体薄膜の一方の面に格子状に配列した複数の短冊状の電極からなる第1ストライプ電極と、この第1ストライプ電極と互いに交差するように上記強誘電体薄膜の他方の面に格子状に配列した複数の短冊状の電極から成る第2ストライプ電極と、この2つのストライプ電極のそれぞれの配列方向に沿ってストライプ電極の端部から離間して設けられた共通電極と、上記第1、第2ストライプ電極部と共通電極とを接続するとともにストライプ電極の電極を選択する切替手段と、第1ストライプ電極と強誘電体薄膜の間および、第2ストライプ電極と強誘電体薄膜の間の少なくとも一方に挟持された半導体回路部とからなることを特徴とする強誘電体メモリ。

(2) 強誘電体薄膜と、この強誘電体薄膜の一方の面に格子状に配列した複数の短冊状の電極からな

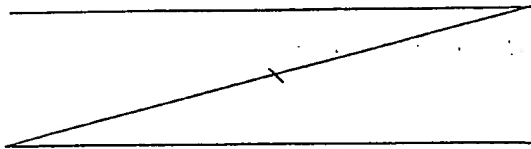
る第1ストライプ電極と、この第1ストライプ電極と互いに交差するように上記強誘電体薄膜の他方の面に格子状に配列した複数の短冊状の電極から成る第2ストライプ電極と、この2つのストライプ電極のそれぞれの配列方向に沿ってストライプ電極の端部から離間して設けられた共通電極と、上記第1、第2ストライプ電極と共通電極とを接続するとともにストライプ電極中の電極を選択する半導体スイッチと、第1ストライプ電極と強誘電体薄膜の間および、第2ストライプ電極と強誘電体薄膜の間の少なくとも一方に挟持された半導体回路部とからなることを特徴とする強誘電体メモリ。

(3) 強誘電体薄膜と、この強誘電体薄膜の一方の面に格子状に配列した複数の短冊状の電極からなる第1ストライプ電極と、この第1ストライプ電極と互いに交差するように上記強誘電体薄膜の他方の面に格子状に配列した複数の短冊状の電極から成る第2ストライプ電極と、この2つのストライプ電極のそれぞれの配列方向に沿ってストライ

ブ電極の端部から離間して設けられた共通電極と、上記第1、第2ストライプ電極と共通電極とを接続するとともにストライプ電極中の電極を選択する切替手段と、上記切替手段として上記ストライプ電極中の各電極に対して少なくとも2つの切替手段を並列に設けるとともに、この切替手段を切替る制御手段を設け、選択されていないストライプ電極を接地することを特徴とする強誘電体メモリ。

(4) 上記半導体回路部が非線形の電圧-電流特性を示すDIAC(Diode AC Switch)またはSSS(Silicon Symmetrical Switch)であることを特徴とする請求項1又は2記載の強誘電体メモリ。

(5) 強誘電体薄膜と、この強誘電体薄膜の一方の面に格子状に配列した複数の短冊状の電極からな



る第1ストライプ電極と、この第1ストライプ電極と互いに交差するように上記強誘電体薄膜の他方の面に格子状に配列した複数の短冊状の電極から成る第2ストライプ電極と、この2つのストライプ電極のそれぞれの配列方向に沿ってストライプ電極の端部から離間して設けられた共通電極と、上記第1、第2ストライプ電極と共通電極とを接続するとともにストライプ電極中の電極を選択する半導体スイッチとからなる強誘電体メモリにおいて、上記第1ストライプ電極および第2ストライプ電極を形成している複数の電極の各々の電極に対応して設けられている半導体スイッチを同一平面上に展開配設して形成したドライブセル層を設け、このドライブセル層を強誘電体薄膜、第1ストライプ電極、第2ストライプ電極とともに積層したことを特徴とする強誘電体メモリ。

(6) 請求項5記載の強誘電体メモリにおいて、上記半導体スイッチを縦型FETで形成したことを特徴とする強誘電体メモリ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は強誘電体材料を情報記録媒体(メモリ)に用いた強誘電体メモリおよびその製造方法に関する。特に隣接するメモリセル間のクロストークを防止することができる強誘電体メモリに関する。

〔従来の技術〕

強誘電体材料はヒステリシス特性を有し、この特性を利用してデータを記憶できることが一般に知られている。第42図はこのヒステリシス特性を示す図であり、横軸は電界E、縦軸は分極状態Pを表している。±E_cは分極方向が逆方向に反転する電界(以下、抗電界という)であり、±E_sはヒステリシス特性における正負方向が反転する電界(以下、反転電界という)である。図において、電界が0のときの分極にはAとCの2つの状態があり、それぞれにデジタル信号の“1”と“0”を対応させる。すなわち、Aの状態のときに“1”信号が記憶され、Cの状態のときに“0”信号が記憶される。

いま、この強誘電体に“1”信号が記憶され、分極がAの状態であるとする。このとき、正方向の読出しパルスE_rを加えると、分極はAからBに移り再びAに戻るが、この部分は傾斜が緩やかであるので容量値C_Lの変化は小さい。これに対して、強誘電体に“0”信号が記憶され、分極がCの状態にあるときに、正方向の読出しパルスE_rを加えると、分極がCからDに移り再びCに戻る。このCからDの部分の傾斜は大きいので容量値C_Lの変化が大きくなる。したがって、この容量値の違いにより、“1”状態の時は出力が小さく、“0”状態のときは出力が大きくなるので、“1”と“0”の状態を判別してデータを読出すことができる。

ここで、図から判るように、強誘電体の分極状態を“0”から“1”にするためには、E_w以上の電界を有する記録パルスを印加し、“1”から“0”にするためには、-E_wの電界を有するパルスを印加すればよい。

そこで、従来、上記のような強誘電体のヒステ

リシス特性を利用して強誘電体を情報記録媒体として用いた先行技術に特開昭 55-126905号、特開昭 57-117188号、特開昭 59-215096号、特開昭 59-215097号等がある。このような強誘電体メモリに対して情報の記録、読出しを行なう1つの方法として、例えば、上記特開昭 59-215096号には第43図に示すように基板72上に透明電極73、75に挟まれた強誘電体薄膜74を積層して構成した強誘電体メモリ71に電圧を印加しつつ光導電体の選択した部分に光ビーム76を照射してその部分を分極させて情報を記録し、読出し時にはこの選択部分に再び光ビームを照射し、分極による光の屈折、干渉、偏光を利用して情報を読出するのが示されている。

[発明が解決しようとする課題]

上記従来例は強誘電体メモリの表面上に光ビームを照射して、この光ビームを操作することで、順次情報の記録または読出しを行うものである。このように強誘電体メモリの表面上に直接光ビームを照射して情報の記録、読出しを行うものであ

るが、強誘電体メモリにおいて情報記録位置は特定されておらず記録位置の制御は光ビームの操作位置を機械的に制御することにより行われている。そのため光ビームの位置ずれ等により、隣接する記録部に誤って情報を記録読出しをすることがないように光ビームを操作する位置制御を正確に行なう必要があり、記録密度を向上しようとするほど、ますます位置制御に正確さが要求され、そのための機構が複雑になる。また、情報を2次元(平面的)にしか記録することができず、強誘電体メモリを積層することにより記録容量を増やすことはむずかしい。

そこで、この発明は強誘電体メモリの情報記録位置を常に特定することが可能で、また、強誘電体メモリの隣接する記録位置からのクロストークを防止してSN比を向上させ、選択した記録位置に対する情報の記録、読出しを確実かつ高速に行なうことのできる小型で薄型の強誘電体メモリを提供することを目的とする。

[課題を解決するための手段および作用]

上記目的を達成するために、この発明は以下のような手段を講じたものである。

すなわち、強誘電体薄膜と、この強誘電体薄膜の一方の面に格子状に配列した複数の短冊状の電極からなる第1ストライプ電極と、この第1ストライプ電極と互いに交差するように上記強誘電体薄膜の他方の面に格子状に配列した複数の短冊状の電極から成る第2ストライプ電極と、この2つのストライプ電極のそれぞれの配列方向に沿ってストライプ電極の端部から離間して設けられた共通電極と、上記第1、第2ストライプ電極部と共通電極とを接続するとともにストライプ電極の電極を選択する切替手段と、第1ストライプ電極と強誘電体薄膜の間および、第2ストライプ電極と強誘電体薄膜の間の少なくとも一方に挟持された半導体回路部とからなる強誘電体メモリとしたものである。

上記の手段によればデータは第1ストライプ電極と第2ストライプ電極が交差した記録位置(メモリセル)に残留分極として記録されるので、デ

ータの記録位置が特定され、また、隣接するメモリセル間でのクロストークを防止することができ、データの記録、読出しが確実かつ高速に行なわれる。

[実施例]

以下、この発明を実施例に基いて説明する。

第1図はこの発明の基本的な概念を説明するための説明図である。図に示すように、強誘電体メモリ1は絶縁性と機械的強度を保持するための厚さ200 μ mの基板2の表面上に積層された厚さ0.3 μ mの強誘電体薄膜3から成る。上記基板2の材料としてはガラス、セラミックス、金属、高分子材料、半導体材料等から用途に適して選択され、上記強誘電体薄膜3の材料としてはPZT(ジルコンチタン酸鉛)やBaTiO₃(チタン酸バリウム)やKNO₃等の無機材料、またはフッ化ビニリデン系共重合体の様な高分子材料が使用される。上記基板2と強誘電体薄膜3の間には、格子状に配列した短冊状の複数の電極からなる第1ストライプ電極4が設けられ、強誘電体薄膜3、

を挟んだ反対側の面には第1ストライプ電極4の配列方向と直交するように格子状に配列した第2ストライプ電極が設けられている。この第1、第2ストライプ電極4、5はAlまたはTiWまたはMo-Ta等からなり、厚さ0.1 μ mで、電極の幅および隣接する電極の間隔は共に0.5 μ mで等間隔に設けられている。そして、上記第1、第2ストライプ電極4、5の端部から離間した基板2上には、共通電極6と7が図に示す様にストライプ電極4、5のそれぞれの配列方向に沿って設けられている。そして、上記共通電極6、7とストライプ電極4、5の端部とを接続し、ストライプ電極中の電極を選択する切替手段として光導電体8、9がそれぞれ、上記共通電極6、7とストライプ電極4、5の上に、隣り合って積層されている。この光導電体8、9の材料としては応答時間、抵抗値等の点からアモルファスシリコンや結晶シリコンやPVK(ポリビニルカルバゾール)等が用いられている。

次にこの強誘電体メモリ1の製造方法について

2図に示すように、(a)～(i)のように行なう。なお、第2図(g)～(i)は第2図(f)のA-A'断面図である。

(a) まず基板2表面にAu、Pt、Ag、Al等の金属良導電体もしくは、ITO等の透明性導電体をスパッタ法、真空蒸着法等の周知の方法によって導電膜10を形成する。次に、

(b) 導電膜10表面にレジスト11をスピコート法により塗布成膜し、

(c) 第1のストライプ電極4、共通電極6等のパターンニングを施したマスク12を通して紫外線照射、電子線照射等により焼付けを行う。レジスト11はメモリ構成、パターン形状によりポジ型、ネガ型のうちいずれを使用しても良い。

(d) パターン現像後、マスクをはずし非露光部分のレジストを除去した後、

(e) 第1のストライプ電極4、共通電極6等を形成するに必要な部分以外の導電膜13をエッチング除去し、

(f) 最後にレジスト11を除去して第1のスト

第2図を使って説明を行う。第2図はこのメモリを製造する手順を示す図である。

(強誘電体メモリの製造方法)

基板2の材料は用いる強誘電体に合わせて選択される。即ち、PZT、BaTiO₃等の無機酸化物からなる強誘電体薄膜を形成するときは、結晶配向制御のための高温焼成過程が必要な場合があり有機高分子材料は基板2の材料として適さず、非結晶シリコン、単結晶シリコン、サファイヤ単結晶等のウェハーや他の無機系耐熱素材を基板2として用いることが好ましい。フッ化ビニリデン系共重合体やシアン化ビニリデン系共重合体を強誘電体薄膜として用いる場合は塗布成膜及び低温乾燥が可能のため、熱可塑性ポリマー系の材料も基板2として使用することが出来る。

基板2の表面は少なくとも絶縁性でなければならないため、金属系等電気伝導性基板は表面を酸化処理や絶縁性物質、例えば、SiO₂、Al₂O₃等の薄膜を形成して用いねばならない。

強誘電体メモリ1の製造の手順として例えば第

ストライプ電極4と共通電極6を形成する。なお、このとき、ストライプ電極4の各電極間および共通電極6とストライプ電極4の間に、導電膜とほぼ同じ厚さの絶縁膜を充填してもよい。

(g) 光導電体部8は同一平面上に形成された第1のストライプ電極4と、この端部から離間して形成された共通電極6上を跨いで上記(a)～(f)と同様の方法にて積層形成される。この光導電体部8に用いられる光導電性材料としては、主に、結晶性シリコン、非晶質シリコン、Se、CdS、ZnO、等の無機材料、PVK(ポリビニルカルバゾール)或はその誘導体と色素増感剤との併用、PVKとTNF(トリニトロフルオレノン)の組合せ等からなるルイス増感性複合材料、結晶型を制御したメタルフリーフタロシアニン等の有機材料が使用でき、その特性に応じてスパッタ法、真空蒸着法、溶剤塗布法等適宜の手法にて膜形成をすることが出来る。このようにして電極パターンを形成した基板2上に

(h) 強誘電体薄膜3を積層する。強誘電体材料

としては前述のようにPZT、PLZT、KNO₃、BaTiO₃等の無機材料、目的物性に依じて重合比率を制御したフッ化ビニリデン-トリフルオロエチレン共重合体等含フッ素系ポリマーやシアノ化ビニリデン-ビニルアセテート共重合体等のシアノ基含有ポリマーを主成分とする有機系材料に大別される。前記無機材料を用いた薄膜形成には、プラズマスパッタ法やイオンビームスパッタ法、真空蒸着法等のドライ成膜法が主に用いられる。また、電解法等の湿式成膜や金属アルコールを所定の成分比で混合し、基板2上に溶液塗布後、焼成工程を経てその酸化物結晶として薄膜形成するゾルゲル法、スピノン法も適用することが出来る。また高分子系有機材料はその化学構造と組成比に基き、適当な溶媒を選択出来ることにより、スピノコート法、ディップ法、印刷法等による塗布-乾燥工程で成膜を行える。さらに、(1)強誘電体薄膜3上に第1のストライプ電極4に直交する第2のストライプ電極5を形成する。この方法としては(a)~(f)と同一の手法に

よっても、また他の周知の手段であっても良い。導電性材料も同様に第1のストライプ電極4と同じもしくは強誘電体薄膜3との関係を考慮した他の材料であっても良い。このとき第2のストライプ電極5と同時に第2の共通電極7も形成される。

このようにして前述した強誘電体メモリ1が形成される。

最後に基板2を所定の大きさに切断し共通電極6、7を結線して、上記の強誘電体メモリ1が製造出来る。

上記強誘電体メモリ1の構造および製造工程はこれに限定されるものではない。例えば、第1のストライプ電極4~強誘電体薄膜3~第2のストライプ電極5から成るメモリ層14を同様の手順で多層積層することも可能であり、また、必要に応じて第2のストライプ電極5上に遮光、帯電防止、汚染防止、水分侵入防止等を目的とした保護膜を形成することも出来る。

さらに、強誘電体薄膜3をストライプ電極4、5が交差する部分のみ形成されるようにエッチン

グし、除去された部分に絶縁性材料を充填する工程を(h)の後に加えてもよい。

次にこの構成の強誘電体メモリにデータを記録(ライト)及び読出し(リード)する動作について第3図を使って説明を行う。

まずストライプ電極4と5の幅にほぼ等しい径の光ビームを光ビーム照射手段15、16により光導電体8と9の上にそれぞれ照射して、その照射部分17と18の抵抗値を下げることににより、直交するストライプ電極4と5の中から各1本ずつを共通電極6と7に選択的に導通させることができる。上記光導電体8、9に光ビーム照射手段15、16から光ビームを照射することによりストライプ電極4、5を選択する切換手段19、20を光マルチプレクサーと呼ぶことにする。そして、この共通電極4と5の間に適切な電圧E_w(第42図で示す±E_sを越える電界)をかけることにより、ストライプ電極の交叉している部分の強誘電体部21(以下、メモリセルという)を選択的に分極することができる。共通電極6、7

に印加する電圧の極性(+、-)を変えることにより、各メモリセル21に生じる分極の方向を変えて、これをデジタル信号の1と0に対応させてデータのライトを行なう。

次にリードの方法を以下に述べる。まず、ライトの場合と同様に、光マルチプレクサー19、20により読出すメモリセル21に該当するストライプ電極4、5に光ビームを照射することによりリードするメモリセル21が選択される。

そして、選択されたメモリセル21に第42図に示した読出しパルスE_rを印加し、分極値C₁の違いにより生じる出力の違いを判別することにより記録されたデータをリードすることができる。

また、選択されたメモリセル21をリードする別の方法としてメモリ全体に熱を加えて、焦電効果により発生した焦電電流を検出する方法がある。焦電電流の極性は分極の方向で決まるため、極性を検出することで記録データをリードすることができる。その他のリード方法としては、メモリ全体に圧力をかけて、圧電効果により発生した電圧

を検出する方法がある。圧電気の極性は分極の方向で決まるため、これを検出することで記録データをリードすることができる。

上記のようにして構成された強誘電体メモリ1の記録容量について説明する。強誘電体薄膜3の面積を現在の半導体メモリの16Kbit($0.5\mu\text{m}$ ルール)のものと同程度($8\text{mm}\times 15\text{mm}$)として計算すると、上記ストライプ電極4, 5は幅 $0.5\mu\text{m}$ 間隔 $0.5\mu\text{m}$ で設けられているので1つの情報を記録できるメモリセル21は上記面積中に 120×10^6 コ存在できることになる。すなわち、16Kbitの半導体メモリと同程度の面積で120Kbitの記録容量となり、上記単層の強誘電体メモリ1では、従来の半導体メモリの約8倍の記録容量を達成できる。

以上説明した強誘電体メモリによれば、切替手段としての光導電体に光ビームを照射して第1, 第2のストライプ電極を選択することによりデータの記録、読出しを行なうメモリセルを特定することができる。また、情報が記憶される各メモ

リセルは強誘電体薄膜の上記ストライプ電極の交叉部分に限定され、それぞれが独立しているので、隣接するメモリセルにデータが誤って記録されたり、読出されたりすることがなく、該当するメモリセルにデータは確実に記録され、また読出することができる。

また、平面上に配列されたメモリセルの情報のリード・ライトを光ビームの1次元的な走査で実現できるため、光ビームの走査と情報のリード・ライトのための光学システム、電気システムの機構が簡単になる。

次に切替手段として半導体スイッチを用いた例について説明する。

第4図に示すように切替手段として電氣的にコントロールできる半導体スイッチ57と、そのコントロール部58を基板59上にIC化して設け、その基板59上にストライプ電極60, 61と強誘電体薄膜62を積層したものである。上記半導体スイッチ57は第1, 第2ストライプ電極60, 61とコントロール部58を接続するようにスト

ライプ電極1本に対して1つずつ設けられ、コントロール部58からの信号により第1, 第2ストライプ電極のうちの1本の電極がそれぞれ選択される。この実施例の強誘電体メモリにおいては、電氣的にメモリセル21の選択をすることができるので、上記実施例のように光ビームを機械的に操作する手段が不要となり、高速に操作ができる。このように、上記実施例の強誘電体メモリにおいては、従来のDRAM、SRAM等の半導体メモリに比較してストライプ電極だけ配線すればメモリセルを構成できるので簡単に高密度化が可能になり、強誘電体薄膜の残留分極を利用して記録するので記憶保持のための電力消費のない不揮発性のメモリになる。

ところで、上記実施例の強誘電体メモリでは、メモリセルを構成している強誘電体薄膜が連続した一枚の薄膜であるため選択されたメモリセルと隣接するメモリセルとの間でクロストークが生じてしまう。

このクロストークを防止するためには強誘電体

薄膜をストライプ電極に挟持される部分のみになるようにエッチング等により網目状に分割すればよいのであるが、精度よく分割するには工数がかかり、また、作成された強誘電体薄膜にエッチング処理等を施すことは結晶配向性を悪くする可能性もあり、あまり好ましくない。そこで、このクロストークの発生を防止し、SN比を向上させる好ましい実施例について説明する。

第5図はクロストークを防止する手段を設けた強誘電体メモリの一実施例を説明するための図、第6図はこの実施例において、選択されたメモリセル21の等価回路を示す回路図である。第6図において、 C_1 は選択されたメモリセルの合成容量、 C_x は選択された第1ストライプ電極4と選択されていない第2ストライプ電極5との各交点(X方向)のメモリセルの合成容量、 C_y は選択されていない第1ストライプ電極と選択された第2ストライプ電極との各交点(Y方向)のメモリセルの合成容量である。なお、選択されていないメモリセルによる合成容量 C_{xy} は、第1第2の両

ストライプ電極がともにGNDに接続されているので無視することができるため図示していない。

第5図に示すように、第1、第2のストライプ電極4、5と第1、第2の共通電極6、7をそれぞれ接続する切替手段8、9が1本のストライプ電極に対して2つずつ並列に設けられたスイッチ8a、8bまたは9a、9bから構成されている。そして、第1ストライプ電極の各電極に接続されている2つのスイッチ8a、8bの内、一方のスイッチ8aは全て第1の共通電極6を介して読出または、記録パルスが発生するドライバー回路81が接続され、他方のスイッチ8bは全てGNDに接続されている。同様に第2ストライプ電極5の各電極に接続されている2つのスイッチ9a、9bの内、一方のスイッチ9aは第2の共通電極7を介して出力側の増幅器82が接続され、他方のスイッチ9bは、すべてGNDに接続されている。この2つのスイッチ8a、8bまたは9a、9bは、一方のスイッチがONしているときは他方のスイッチがOFFとなるように連動して動作

するスイッチである。このように回路を構成することにより、選択されていないストライプ電極はすべてGNDに短絡させるようにしたものである。このとき、ドライバー回路81の出力インピーダンスを合成容量 C_v によるインピーダンス($1/\omega C_v$)よりも十分小さくし、また、増幅器82の入力インピーダンスを合成容量 C_x のインピーダンス($1/\omega C_x$)よりも十分に小さいものとする。これは、第6図に示すA点の電圧をドライバー回路81からの出力電圧に対して低下しないようにして、選択されたメモリセル21に確実に電圧が印加されるようにし、また、選択されたメモリセルを通過した電流の大部分を増幅器82に流入するようにして、確実に選択されたメモリセルのデータを読出すためである。この実施例によれば、図からわかるように、隣接するメモリセルの容量 C_x 、 C_v はGNDに短絡されているので読出し電流の大部分は選択されたメモリセルを通過して増幅器に流れこみ、 C_x 、 C_v の影響を受けることなく、すなわちクロストークを生じること

なく、正確に選択されたメモリセルに記憶された情報を読出すことができる。

第7図は、クロストークを防止する他の実施例を示す図であり、第8図はこの実施例において選択されたメモリセルの等価回路を示す図である。第7図に示すように、各ストライプ電極はそれぞれ、切替手段8、9と接続されない方の端部で抵抗Rを介してGNDに接続される。そして、前記実施例と同様に各ストライプ電極4、5と第1、第2の共通電極6、7とをそれぞれ接続する切替手段8、9として、一本のストライプ電極に対してそれぞれ2つのスイッチ8a、8bまたは9a、9bを並列に設けている。この実施例において、2つのスイッチは一方がONのとき他方もONとなり、OFFのときはともにOFFになるように連動して動作する。そして、第1、第2の共通電極6、7も第1および第2ストライプ電極4、5に対してそれぞれ2本ずつ(6a、6bまたは7a、7b)設けられている。第1ストライプ電極4とスイッチ8を介して接続されている第1の共

通電極6a、6bの内一方の共通電極6aは増幅器83の出力端子に接続され、他方の共通電極6bは増幅器83の負入力端子に接続されている。この増幅器83の正入力端子には読出し、書込のパルスが発生するドライバー回路81が接続されている。また、第2ストライプ電極5とスイッチ9を介して接続されている第2の共通電極7a、7bの内、一方の共通電極7aは増幅器82の負入力端子に接続され、他方の共通電極7bは抵抗R_fを介して増幅器82の出力端子側に接続されている。また、この増幅器82の正入力端子はGNDに接続されている。このように、増幅器82、83はいずれも負帰還回路を構成している。ところで、切替手段にはそれぞれON抵抗が存在するため選択されたメモリセルの等価回路は第8図に示すようになる。ここで上述したように増幅器82、83はいずれも負帰還回路を構成しており、切替手段のON抵抗 r_1 、 r_2 、 r_3 、 r_4 はこの負帰還回路内に含まれている。そのため増幅器83のオープンループゲインを α_1 とすると図の

A点からドライバー回路81を見たときの増幅器の出力インピーダンスは r_s/α_1 となり、 α_1 が r_s よりも十分に大きければ出力インピーダンスはほぼ零とみなすことができるので、選択されたメモリセルを読出すときの電圧がクロストークしている合成容量 C_v に影響されず確実に選択されたメモリセルに印加される。また、増幅器82のオープンループゲインを α_2 とすると、B点から見た増幅器82の入力インピーダンスは $(r_s + R_f)/\alpha_2$ となり、 α_2 が $(r_s + R_f)$ よりも充分大きいとすれば、同様に零と見なすことができるので、選択されたメモリセルからの電流はクロストークしている合成容量 C_x 側に流れることなく、大部分が出力側の増幅器82に流れるので確実に情報を読出すことができる。この実施例の回路構成によればスイッチの有しているON抵抗の影響を除去することができるので、第6図に示した実施例よりも確実に情報を読出すことができる。

次に、この実施例で用いている2本の共通電極

6a, 6bまたは7a, 7bとのON, OFFを同時に行うことのできる切替手段の具体的な構成を第9～10図により説明する。

第9図は切替手段に半導体スイッチを利用した実施例を示す図であり、第10図は半導体スイッチの一例としてのCMOSスイッチを示す図である。

第9図で示すように、切替手段として第1, 第2ストライプ電極の各電極に半導体スイッチ86を2つずつ並列に設け、この一対の半導体スイッチ86はそれぞれ共通電極6a, 6bまたは7a, 7bに別々に接続され、各スイッチの切替ゲートにはコントロール部としてのデコード87が接続されている。そして、このデコード87から図示されない制御回路からの信号に基いて一対のスイッチ毎に切替信号が切替ゲートに入力されることにより、2つのスイッチは連動して動作する。この半導体スイッチ86の一例としてのCMOSスイッチは、第10図に示したように、 T_{r1} , T_{r2} の2つのCMOSトランジスタからなるスイ

ッチトランジスタ部88と、このスイッチトランジスタの出力に接続され、スイッチトランジスタの約半分の大きさのCMOSトランジスタ T_{r3} , T_{r4} からなる、電荷キャンセルトランジスタ部89とからなる。そしてこの半導体スイッチのVin側に第1の共通電極6aまたは6bを接続し、Vout側に第1ストライプ電極4を接続する。そして、 T_{r1} と T_{r4} のゲート電極および T_{r2} と T_{r3} のゲート電極がそれぞれ接続されるとともに、これらゲート電極にそれぞれ互いに逆相となる信号が入力されるようにデコード87が接続されている。また電荷キャンセルトランジスタ部89の T_{r3} , T_{r4} のソースドレイン間は短絡されており、ゲートとの容量のみが利用される。 T_{r3} のゲートには、 T_{r1} のゲートとは逆相の信号が加わり、 T_{r4} がオフするときのゲート信号の漏れを T_{r3} で打ち消すようにする。 T_{r3} と T_{r4} の関係も同様である。この切替手段によれば光ビームを機械的に操作するための手段が不要になり、高速に動作できる。

ところで、この実施例の回路によれば読出しは確実に行うことができるのであるが、この回路でそのまま書込みを行うと選択されたメモリセルとともに隣接する他のメモリセルにも書込みが行われてしまうという問題がある。これは、第8図で示した等価回路においてC点より出力側の回路を等価的にGNDとみなすと C_L および C_v には同じ値の電圧が印加されることになるからである。

そこで、このような問題を解決した実施例を第11～13図により説明する。

第11図はこの実施例の回路構成を示す図、第12図はこの実施例の回路のリード・ライトパルスの切替タイミングを示すタイムチャート図、第13図はこの実施例においてライト時の選択されたメモリセルの等価回路を示す図である。

この実施例の回路が上記第7図で示した実施例と異なる所は、リードとライトを切替るゲート信号を入力する増幅器90と、ライトデータ信号を受けてライトパルスを発生する比較増幅器91と、ゲート信号によりリード状態とライト状態を切替

るスイッチ92a, 92b, 92c, 92dを設けた点と、抵抗Rを介してGNDに接続されている第1, 第2ストライプ電極4, 5をそれぞれ抵抗Rを介してインピーダンス変換器93a, 93bに接続し、さらに抵抗 R_1 , R_2 , R_3 を介してGNDに接続した点である。

リードパルスが発生するドライバ回路81がスイッチ92aを介して増幅器83に接続されている。またライトデータ信号を受けて $\pm E_w(v)$ の電圧のライトパルスが発生する比較増幅器91の出力はスイッチ92bを介して増幅器83に接続されているとともに、スイッチ92dおよびアッテネート用の抵抗値の等しい3つの抵抗 R_1 , R_2 , R_3 を介してGNDに接続されている。このアッテネート用の抵抗 $R_1 \sim R_3$ は、さらにスイッチ92cを介してGNDに接続されている。そして、リードとライトを切替るW/Rゲート信号が増幅器90を介してスイッチ92bおよび92dに接続され、また反転増幅器94を介してスイッチ92aおよび92cに接続されている。

に示しているスイッチ92a~92dの位置はライト状態を示している。

ライト状態の時の選択されたメモリセルの等価回路を第13図に示す。図からわかるように、抵抗 $R_1 \sim R_3$ によってアッテネートされた電圧がインピーダンス変換器93a, 93bおよび抵抗Rを介して各ストライプ電極に印加され図のA~D点の電圧はそれぞれ、A点が $\pm 2/3 E_w$, B点が $\pm 1/3 E_w$, C点が $\pm E_w$, D点が0となるため、クロストークのメモリセルの合成容量 C_x , C_y , C_{xy} の両端に加わる電圧はいずれも $\pm 1/3 E_w$ となるので、これらのクロストークするメモリセルにすでに記録されているデータに影響を与えることなく、選択されたメモリセルだけに書き込みを行なうことができる。

また、このときに出力側の増幅器82の帰還抵抗 R_f をバイパスするスイッチ95を設け、このスイッチをONすることにより、帰還率を挙げ、増幅器側の入力インピーダンスを下げることで、D点の電圧を0Vにより近づけて、 C_x によ

この回路において、第12図に示すようなタイミングでW/Rゲート信号、リードパルス、ライトパルスの各信号が発生すると、スイッチ92aまたは92bおよびスイッチ92cまたは92dからの出力も図に示すようになる。すなわちW/Rゲート信号によりリード状態が選択されたときはスイッチ92aおよび92cがONになりスイッチ92b, 92dがOFFになるのでドライバ回路81からの電圧 E_r のリードパルスがスイッチ92aを介して出力され、ライト状態が選択されたときは、スイッチ92b, 92dがONになり、スイッチ92a, 92cがOFFになるので、増幅器91からの電圧 $\pm E_w$ のライトパルスがスイッチ92bを介して増幅器83に入力されるとともに、図に示すようにスイッチ92dからも出力される。そしてこのスイッチ92dからの出力信号は抵抗 R_1 , R_2 , R_3 に入力され振幅が $2/3$, $1/3$ にアッテネートされ、インピーダンス変換器93a, 93bおよび抵抗Rを介して各ストライプ電極にくわえられる。ここで第11図

り大きな電圧を印加することができるので、より良好な書き込みを行うことができる。

上述の実施例では、メモリを読出す時に抗電界 E_c にくらべて小さな電界のリードパルスを用いて、分極方向を反転させずにメモリ内容を読出す、いわゆる非破壊読出しを行う場合について説明したが、抗電界 E_c および反転電界 E_s を超える電界を印加し分極方向を反転させてメモリ読出しを行なう、いわゆる破壊読出しを採用することもできる。

ここで、この破壊読出しについて、第14図に示したヒステリシスループに基いて説明する。読出されるメモリセルの分極状態がa点にあるとし、これに E_s を超える読出し電界 E_r を印加すると、ヒステリシスループの矢印方向にしたがって分極状態はa点からb点に達する。このとき、分極状態が抗電界 E_c を境にして反転し、そのときに生ずる電流の変化を検知する事によりメモリを読出すことができる。読出し電界 E_r は適切な時間幅を有したパルスで印加するが、読出し電界 E_r を

除去しても分極状態はa点に戻らずc点に戻ることであり、メモリを読出す前後で分極状態が異なりメモリ内容は破壊されることになる。そこで、メモリ内容を保持するために負の反転電界 $-E_s$ を越える電界 $-E_r$ を印加してC点からD点を経てA点へと分極状態を元に戻す再書き込みを行うことが必要である。

この破壊読出しによれば、非破壊読出しに比べて分極状態の変化が大きく、電流変化の割合も大きくなるので、メモリ内容をSN比よく確実に読出すことができる。

また、非破壊読出しにおいては、読出し電界にある程度以上（例えば、 $1/2 E_c$ 以上）の電界 E_x を印加すると第14図に示すように、分極状態がa点からe点を経てa点に戻らずに分極値の小さなf点に戻ってしまうことがあり、読出すごとに分極値が小さくなり、SN比が悪くなる。

しかし、上記破壊読出しでは、反転電界 $\pm E_s$ を越える電界を印加するので分極状態はヒステリシスループに従って変化し、分極値が維持される

り、この非破壊読出しにおいても、同様にリーク電界を低減し、クロストークを防止することができる。

また、さらに効果的にクロストークを防止する方法として以下に示すような実施例がある。

この実施例は第15図に示すように強誘電体薄膜3と、この強誘電体薄膜3を挟持した第1, 2ストライプ電極4, 5との間にDIA C (D i o d e A C S w i t c h) またはSSS (S i l i c o n S y m m e t r i c a l S w i t c h) と呼ばれる構造の半導体回路部200を設けたものである。この半導体回路部200は、絶縁体210により分割され、各メモリセルごとに直列に接続するように強誘電体薄膜3に積層されている。第16, 17図はこの半導体回路部200としてのDIA Cの動作を説明するための図であり、第16図はDIA Cを電極で挟持したものを示し、第17図はこのDIA Cの電圧-電流特性を示す図である。図に示されるようにDIA Cの構造はその中心線を対称にして2つの4層ダイ

オードが逆並列となる形態となっており、電圧-電流特性も4層ダイオード特性を両方に持っている。

ところで、この破壊読出しにおいて問題となるのが隣接するメモリセルに加わるリーク電界によるクロストークである。上述の非破壊読出しでは読出し時の印加電界が小さくクロストークはそれほど問題にならなかったが、この分極反転を利用する破壊読出しでは、書き込み時と同様の大きな電界を印加するため書き込み時と同様にリーク電界を低減し、クロストークを防止する手段を講じる必要がある。

そこで、第11～13図に示した実施例のように、リードとライトを切替るゲート信号を入力する増幅器と、ライトデータ信号を受けてライトパルスを発生する比較増幅器と、ゲート信号によりリード状態とライト状態を切替るスイッチを設け、さらに、抵抗を介してGNDに接続されていた第1, 2ストライプ電極を、各々低抵抗およびインピーダンス変換器を介してGNDに接続して、隣接するメモリセルの合成容量 C_x, C_y, C_{xy} の両端にかかる電圧を $1/3 E_s$ とすることによ

り、この非破壊読出しにおいても、同様にリーク電界を低減し、クロストークを防止することができる。

以下、第15図に示したこの実施例の動作を説明する。選択されたメモリセルの情報を破壊読出し（書き込みも同様）する際には、強誘電体薄膜の抗電界 E_c および反転電界 E_s を越える電界 E_r を印加する必要がある。このとき、第14図に示すヒステリシスループにおいて

$$E_r > E_s > E_c \quad \dots (1)$$

の関係にある。

電界 E_r が印加されたメモリセルは、例えば、 a 点の分極状態から c 点の分極状態へと分極状態が反転し、そのヒステリシスループに従って、電界 E_r を除去しても分極値 P_r が保持される。

ここで、ストライプ電極 4, 5 の間に電圧 V_1 を印加する。このとき

$$V_1 \geq V_e \quad \dots (2)$$

となるように V_1 を設定する。

すると、 V_1 を印加されたメモリセルの半導体部 200 は ON-*S t a t e* となり導体となるので強誘電体薄膜 3 に直接電圧 V_1 が印加される。この時の電界 E_f は強誘電体薄膜 3 の膜厚を d_1 とすれば、

$$E_f = V_1 / d_1 \quad \dots (3)$$

となる。ここで、 $E_f = E_r$ とすれば、分極を反転させることができる。この時、隣接するメモリセルへのリーク電圧は、 V_1 に比べて小さな電圧 V_2 ($< V_e$) しか印加されず、半導体部 200 が OFF-*S t a t e* であり高抵抗素子として動

作するように、

$$V_1 \geq V_e > V_2 \quad \dots (4)$$

と設定する必要がある。

このリーク電圧 V_2 は、電極間ピッチにもよるが、通常 V_1 の数分の 1 以下のレベルである。

このリーク電圧 V_2 によるリーク電界 E_g は、第 1, 2 ストライプ電極 4, 5 間の距離 (すなわち、強誘電体薄膜 3 の膜厚 d_1 と半導体部 200 としての D I A C の厚み) を d_2 とすれば、

$$E_g = V_2 / d_2 \quad \dots (5)$$

となる。

ここで、半導体部 200 を有していない場合に、隣接するメモリセルに印加されるリーク電界 E_d は、次の関係式をみたす、

$$V_2 = E_d \cdot d_1 \quad \dots (6)$$

ここで、 V_2 は半導体部 200 の有無に依存せず V_2 に等しいので、

$$V_2 = V_2 \quad \dots (7)$$

となる。

(5) ~ (7) 式から、

$$E_g = E_d \cdot d_1 / d_2 \quad \dots (8)$$

となり、 $d_1 / d_2 < 1$ より

$$E_g < E_d \quad \dots (9)$$

となる。

このように、半導体部 200 を設けることにより、隣接するメモリセルに印加されるリーク電界を減少することができ、クロストークを防止することができる。

さらに、半導体部 200 の抵抗値 Z_2 を強誘電体薄膜 3 の抵抗値 Z_1 に比べて大きくすることで、 E_g は $Z_1 / (Z_1 + Z_2)$ 倍に減少するので、より一層クロストークを防止することができる。

ここで、この実施例を製造する行程の一例を第 18 図 (a) ~ (d) により説明する。

(a) まず、基板 2 上に格子状にストライプ電極 4 を形成し、各電極間を絶縁体 210 で充填し、表面を平坦化した後、強誘電体薄膜 3 および N_2 層を順次積層する。

(b) 上記 N_2 層がフォトリソ等により 2 つのストライプ電極にまたがり、その N_2 層がそ

の端部がストライプ電極の中央部に位置するようにエッチングする。その後 P_2 層、 N_2 層を順次積層する。

(c) N_2 層の上に P_2 層を積層した後、イオン注入法により P_2 層内に N_1 層を形成する。このとき、 N_1 層は N_2 層と対象となる位置に形成する。

(d) このようにして、形成された半導体回路部 200 が各メモリセルごとに独立して形成されるように、レジストをマスクにして R I E により強誘電体薄膜 3 の表面まで上記ストライプ電極 4 と同方向に格子状にエッチングする。レジストを除去した後、絶縁体 210 を充填し、表面を平坦化した後、上記ストライプ電極 4 および半導体回路部 200 と直交する方向にストライプ電極 5 を格子状に形成することにより、この実施例の強誘電体メモリは完成する。

以上の実施例では半導体部 200 として D I A C を用いたが、第 19 図に示すような 2 つのダイオード素子を逆接続とした構成としても同様な効

果が得られる。この素子の電圧-電流特性は第20図のようになり、 V_e 以上の電圧を印加したON-*State*においても

$$Z_s = V_e / I_d \quad \dots (10)$$

なる抵抗値 Z_s を有するので、選択されたメモリセルの強誘電体薄膜3に印加される電界 $E_{f'}$ は(3)式に従って

$$E_{f'} = (V_i / d_1) \cdot (Z_1 / (Z_1 + Z_s)) \quad \dots (11)$$

隣接するメモリセルへのリーク電界 $E_{g'}$ は、半導体部のOFF-*State*での抵抗値を Z_1 と等しいとした場合において、(8)式と同様に、

$$E_{g'} = E_d \cdot d_1 / d_2 \quad \dots (12)$$

となる。

このようにすると、上述のDIA Cの場合に比べて、選択されたメモリセルに印加される電界 $E_{f'}$ は E_f よりも小さくなるが、半導体回路部のOFF-*State*での抵抗値 Z_s は Z_1 よりも大きいので、半導体回路部を設けない場合に比べて、隣接するメモリセルへのリーク電界は減少し

クロストークを防止することができる。

なお、これらの実施例では強誘電体薄膜3は、エッチングにより除去されず一体に形成されているが、半導体回路部200と同様にエッチングにより除去し絶縁体を充填して、各メモリセルごとに独立させてもよい。

このように、第5図～20図に示した実施例によれば隣接するメモリセル間のリーク電界を低減し、クロストークを防止することができるので、データを選択したメモリセルに対して確実に書き込み読出しを行なうことができる。

ところで、切替手段に第4図に示したような半導体スイッチ57を用いる場合には、通常の半導体作製のプロセスにより、上述のような半導体スイッチを作製すると、このスイッチ1ヶ当りの面積は数10～10数 μm^2 となり、半導体スイッチの大きさに合わせて、ストライプ電極の幅、ピッチを大きくすると、単位面積当りの記録容量が低下することになり、好ましくない。上述のようにクロストークを防止するために1本のストライ

プ電極に対して2つずつスイッチを設ける場合は、特に面積が大きくなる。

また、半導体スイッチを並列に基板上に設けると、メモリ部の面積に対して、切替手段が大きくなり、メモリチップ容積が大きくなる。

そこで、切替手段に半導体スイッチを用いた強誘電体メモリ1において、メモリチップ容積を小さくすることのできる実施例について説明する。第21図はこの実施例における強誘電体メモリを示す分解斜視図、第22図はドライブセル層の一例を示す平面図である。

なお、図では説明を簡単にするためドライブセルを5行5列の25個ずつとした625bitのメモリとしている。

この実施例は第22図に示すように、1本のストライプ電極に端子部により接続され、ストライプ電極60(61)と共通電極6(7)とのON・OFFの切替を行なう半導体スイッチ57を、ドライブセル120内に設け、このドライブセル120を同一平面上に、縦横のマトリクス状に

(図では5行5列)に配設してドライブセル層121を形成する。そして、第21図に示すように、第1ストライプ電極4および第2ストライプ電極5とそれぞれ接続される2つのドライブセル層121a、121bを基板2上に、ドライブセル層121a、第1ストライプ電極4、強誘電体薄膜3、第2ストライプ電極5、ドライブセル層121bの順に積層したものである。実際には各ストライプ電極間およびドライブセルとストライプ電極の間は絶縁層122が設けられているので、断面図は第23図のようになる。

次に、この実施例では、各ドライブセルの形状を同じものとし、ドライブセル120とストライプ電極との接続部120aが全てのドライブセルで同じ位置になるように(図では左上の角部)しているため、1行ごとにドライブセルを、ストライプ電極のピッチ分ずらして配設する。これにより、ドライブセルの最密配置によるメモリセル数の増加(高密度化)、半導体作製時のマスクパターン設計簡略化等、プロセス効率の向上等の効果

が得られる。

なお、ドライブセル120を第24図で示すように端子部とスイッチ部で構成し、ストライプ電極との接点部120aを端子部上でずらして行うようにしてもよい。

この実施例の構成の強誘電体メモリの具体的な製造方法を以下に説明する。第25図(a)～(o)は、このドライブセル層を用いた強誘電体メモリの製造工程の一例を説明するための図である。

(a) まず、Si基板130上に周知の半導体プロセスを使って第1のドライブセル層121aとしてのMOSFETを作る。図からわかるようにSi基板130上に、イオンを打込み、ソース拡散層131とドレイン拡散層132が形成され、この上に絶縁膜133に挟まれて、ソース電極134とドレイン電極135を介してゲート酸化膜136に覆われたゲート電極137が形成されている。ソース電極134およびドレイン電極135はそれぞれソース拡散層131およびドレイン拡散層

132に接続されている。また、ゲート電極137はゲート酸化膜136を介してソース拡散層131とドレイン拡散層132に跨るようにSi基板130上に積層されている。ここでソース電極134及びドレイン電極135は後の熱工程に絶えるような材料、例えばMo, W, Ti等の高融点金属またはこれら金属のシリサイド(MoSi₂, WSi₂, TiSi₂)を用いている。ゲート電極137はポリシリコンまたは上記シリサイドから形成されている。

(b) このMOSFET121aの表面を0.5～5μmの絶縁膜138で覆うように形成する。この絶縁膜138には常圧CVD(AP-CVD), 減圧CVD(LP-CVD), またはプラズマCVD(P-CVD)で形成した、SiO₂またはPSG(リン珪酸ガラス)膜を用いる。この絶縁膜138の上にレジスト139を塗布(コーティング)した後、パックスバックまたはRIEエッチバックによりレジスト139と絶縁膜138の表面の一部を除去することにより、表面を平坦化する。

(c) 平坦化された絶縁膜138の上面に形成される第1のストライプ電極4と電気的に接続されるソース電極134との接点部121aとなる部分の絶縁膜138に周知のフォトリソ技術によりコンタクトホール140を形成する。

(d) このホール140に金属等の導電体を充填しコンタクト141を形成する。金属等を充填するには、例えばW(タングステン)の選択CVD技術を用いる。

(e) 絶縁膜138の上面に電極用金属を0.1～1.0μmの厚さに積層し、フォトリソ技術によってストライプ状に形成して第1ストライプ電極4を形成する。上記電極用金属としては、上記高融点金属またはこれら金属のシリサイドを用いる。リン等の不純物を高濃度にドーブしたドーブド・ポリシリコンを用いることもできる。第1ストライプ電極4の内の一本の電極とMOSFET121aのソース電極134がコンタクト141を介して接続されている。

(f) 上記工程で第1ストライプ電極4が形成さ

れた素子の表面に(b)の工程と同様にSiO₂またはPSG等からなる絶縁膜142およびレジスト143を積層した後、

(g) パックスバックまたはRIEエッチバックによりレジスト143および絶縁膜142を第1ストライプ電極4の上面まで平滑エッチングして表面を平坦化する。

(h) この平坦化した表面にPZT等からなる強誘電体薄膜3を所望の厚さに積層する。この強誘電体薄膜3の成膜方法としてはイオンビームスパッタ法、RFマグネトロンスパッタ法、電子ビーム蒸着法、クラスティオンビーム法、MOCVD法等が利用できる。なかでも、PZT, PLZT等の多元系酸化物薄膜を形成するためには、薄膜の組成を制御する上でマルチオンビームスパッタ法が好ましい。この後、強誘電体薄膜3を結晶化するために600℃以上の温度で熱処理を別に行なってもよい。

(i) 強誘電体薄膜3の上面に電極用導電体を0.1～1.0μmの厚さに積層し、フォトリソ

グによりストライプ状の第2ストライプ電極5を上記第1ストライプ電極と交差する向きに形成する。電極用導電体としては工程(e)で説明したものと同様の材料を用いる。

(j) 第2ストライプ電極5を覆うように0.5~5 μ mの厚さで絶縁膜143を積層し工程(b)、(f)と同様にしてこの絶縁膜143を平坦化する。その後、上記(c)、(d)の工程と同様な方法で絶縁膜143にコンタクト144を形成する。

(k) この絶縁膜143の上面に0.1~1.0 μ mの厚さのポリシリコンまたはアモルファスシリコンからなるシリコン膜をLP-CVD法、P-CVD法、電子ビーム蒸着法、スパッタ法等により積層し、その後熱処理を施し結晶化シリコン膜とする。上記シリコン膜を結晶化する方法としては、600℃付近の温度で熱アニールするか、または、電子ビームあるいは紫外線レーザービームを短時間(1nsec以下)照射し、シリコン溶融点付近まで昇温する。シリコン結晶化の後、第2のドラ

イブセル層121bとしてのプレーナー型TFT(Thin Film Transistor)を形成する領域以外のシリコン膜をフォトリソグラフィにより除去し、TFTのしきい値(V_T)制御用チャンネルドーパ(低濃度イオン注入)を行なう。さらに、TFTのソース電極、ドレイン電極が接続される領域にAsまたはPの不純物を高濃度にイオン注入し、n⁺拡散層145a、145bを形成する。この際、注入した不純物を活性化するために600℃以上の熱アニールをおこなうが、この熱アニールで強誘電体薄膜3の結晶化アニールを兼ねることができ。

(l) Al、AlSi、AlSiCu等からなる導電膜をスパッタ法、電子ビーム蒸着法等により厚さ0.1~1 μ mでシリコン膜145および絶縁膜143の表面に積層し、フォトリソグラフィにより不要部を除去してソース電極146およびドレイン電極147を形成する。このソース電極146およびドレイン電極147はそれぞれn⁺拡散層145a、145bに接続され、またソース

電極146はコンタクト144を介して第2ストライプ電極5と接続されている。

(m) TFTのゲート用絶縁膜をCVD法により積層し、フォトリソグラフィにより不要部を除去してゲート絶縁膜148を形成する。この絶縁膜148の材料としては、Si、N_x、SiO₂、Ta₂O₅等が利用できる。

(n) このゲート絶縁膜148の表面上にAl、AlSi、AlSiCu等からなる導電膜をスパッタ法、電子ビーム蒸着法等により厚さ0.1~1 μ mで積層させ、フォトリソグラフィにより不要部を除去しゲート電極149を形成することによりTFTが完成する。なお、ゲート電極149、ソース電極146およびドレイン電極147をAlまたはAl合金として説明したが工程(a)で示した材料でもよいことは勿論である。

(o) 必要に応じてTFTの表面をSi、N_x、P₂SG等のパッシベーション膜150で被覆する。

以上の工程によりドライブセル層を用いた強誘電体メモリが完成する。

なお、第25図で説明した強誘電体メモリの製法ではSi基板上にドライブセル層、第1ストライプ電極、強誘電体薄膜、第2ストライプ電極、ドライブセル層を順次積層しているが、強誘電体薄膜の結晶性を高めるために、まず、Si単結晶等からなる基板上に強誘電体薄膜を形成し、この薄膜の片面に一方のストライプ電極およびドライブセル層および支持体を形成し、単結晶基板を除去したのち、反対側のストライプ電極、ドライブセル層を形成するようにしてもよい。さらに、強誘電体薄膜を積層する前に強誘電体薄膜と結晶対称性および格子定数の近い材料、例えば、MgO等の薄膜を一層または多層積層するようにしてもよい。このようにすることにより強誘電体薄膜の結晶性、配向性を向上することができる。

また、この実施例では、第1、第2ストライプ電極4、5に対してそれぞれドライブセル層121a、121bを設けたが、第26図または第27図に示すように第1ストライプ電極用のドライブセル122と第2ストライプ電極用のドライブ

セル123を交互に配設してドライブセル層121を1層で形成してもよい。このようにすると、単位面積当りのメモリセルの密度、すなわち記録容量は小さくなるが、ドライブセル層121の形成が1回ですむので製造工程が短縮される。

また、基板にSiを用いたので、第1のドライブセル層121aをMOSFETとしたが、基板にガラス等の材料を用いたときは、第1のドライブセル層121aを第2のドライブセル層121bと同様にTFTとしてもよい。また、上記実施例ではプレーナ型TFTとして製造工程を説明したが、第28図(a)~(c)に示したような他の型のTFTを用いてもよい。第28図(a)は逆プレーナ型、(b)はスタガー型、(c)は逆スタガー型をそれぞれ表しており、第25図に示したプレーナ型TFTと同一の部材には同一の符号を付している。

次にドライブセル層の具体的な実施例について説明する。

第29図は半導体スイッチをMOSトランジスタ

としたときのドライブセル層の一部の結線図である。

図からわかるように、マトリクス状に配設された各トランジスタのドレイン電極Dは縦方向に共通の端子Vdi ($i=1, 2, \dots$)に接続され、ゲート電極Gも同じように横方向に共通の端子Vgi ($i=1, 2, \dots$)に接続されている。また、ソース電極Sの端子は各ドライブセルごとに独立して設けられている。そして、ドレイン電極の端子Vdi、ゲート電極の端子Vgi、ソース電極は、第4図に示した、共通電極6、コントロール部58、ストライプ電極60にそれぞれ接続されている。第30図は上述のようにして製造された強誘電体メモリのドライブセル層の一部を表す平面図である。図に示すように縦方向に延在されたドレイン電極124と、横方向に延在されたゲート電極125が互いに直交するように列状に設けられてマトリクスを形成し、ドレイン電極124とゲート電極125に囲まれた中にソース電極126が配設されている。第30図において破線で

囲まれた部分が1つのドライブセル120を示し、この実施例では1個分のスイッチで1つのドライブセルを構成している。また、第31図に示したように、ドライブセルをずらさずにソース電極上で接点部120aをずらして、ストライプ電極と接続できるように、ソース電極126を逆コの字状に形成して面積を広くしている。これに対して、第32図はドライブセル120をストライプ電極のピッチ分ずらしたときのストライプ電極4との配置を示す図である。このようにドライブセルをずらしてストライプ電極と接続するときはソース電極の面積を特別大きくする必要はなく、図に示すように単なる長方形である。

次に、半導体スイッチを第10図で示したCMOSトランジスタとした場合の実施例を説明する。第33図は1個のCMOSトランジスタを示す平面図である。Tr₁~Tr₄の4つのCMOSトランジスタを同一基板上に作り込むために第10図に示した配置とはTr₂とTr₄を逆に配置している。Tr₁、Tr₃のソース拡散層160、

161に挟まれて、Tr₁、Tr₃の共通ドレイン拡散層162が設けられ、この各拡散層に対向するように、Tr₂、Tr₄の共通ドレイン拡散層163、164およびTr₂、Tr₄の共通ドレイン拡散層165が対称的に設けられている。そして、Tr₁ソース拡散層160とTr₁、Tr₃の共通ドレイン拡散層に跨がってTr₁のゲート電極が166が積層されている。同様にして、Tr₂、Tr₃、Tr₄のゲート電極167、168、169がそれぞれのソース拡散層とドレイン拡散層に跨がって積層されている。ここで、Tr₂とTr₃のゲート電極は接続され、1本の電極で構成されている。また、Tr₁ソース拡散層160とTr₂ソース拡散層163がT字状のVin電極170により接続されており、また、Tr₁、Tr₃のソース拡散層161、164と共通ドレイン拡散層162、165はH字状のVout電極171によりそれぞれ接続されている。上記Vin電極170、Vout電極171がそれぞれ第4図に示した共通電極6(7)ストライプ電極4

(5)に接続される。 T_{r1} 、 T_{r4} のゲート電極166、169と1本になっている T_{r2} 、 T_{r3} のゲート電極167、168は、互いに逆相の信号が入力されるようにそれぞれコントロール部58に接続されている。第34図(a)(b)はそれぞれ第33図のA-A'断面図、および、B-B'断面図である。この断面図に示すように T_{r2} 、 T_{r4} 側ではn型の基板172にPウェル拡散層173を設け、その中に n^+ のソース、ドレイン拡散層163、164、165を設けており、 T_{r1} 、 T_{r3} 側は同じn型基板172上に p^+ のソース、ドレイン拡散層160、161、162を設けている。第35図はドライブセルを1行毎にずらしたときの結線図を示す。図から明らかなように V_{in} 電極170は縦方向に共通の端子 V_i ($i=1, 2, \dots$)に接続され、 T_{r1} 、 T_{r4} のゲート電極は横方向に共通の端子 G_i 、 G_{i+1} ($i=1, 2, \dots$)に接続され、 T_{r2} 、 T_{r3} の共通ゲート電極も同じく横方向に共通の端子 \bar{G}_i ($i=1, 2, \dots$)に接続されている。

もちろんである。このとき、ドライブセル層を用いた積層型の強誘電体メモリとするには、上述の第25図で示した製造工程(o)で設けたパシベーション膜150を平坦化し、工程(c)~(o)をくりかえすことで容易に達成できる。第36図は、このようにして作製された積層型強誘電体メモリの一例を示す断面図である。図において、積層された2つの強誘電体薄膜3a、3bの間に設けるドライブセル層121は共通に利用するように1層のみ設けているが、別々に設けてもよいことは勿論である。

また、上述の第25図で示した製造方法では、基板上にドライブセル層、ストライプ電極、強誘電体薄膜、ストライプ電極、ドライブセル層の順に順次積層した構成としているが、工程(g)の状態の素子と工程(h)の状態の素子、すなわち、第37、38図に示すように、基板2上にドライブセル層121bと、ストライプ電極5を設けた素子190と、基板2上にドライブセル層121aと、ストライプ電極4および強誘電体薄膜3を

また、 V_{out} 電極は各ドライブセル毎に独立している。そして、端子 V_i は共通電極6に接続され、端子 G_i 、 G_{i+1} 、 \bar{G}_i はそれぞれコントロール部58に接続されている。

この実施例の回路で、例えば、破線で示したドライブセル120を選択するには、ゲート電極の端子 G_i 、 G_{i+1} と \bar{G}_i に互いに逆相の信号を印加すると同時に、選択回路(図示せず)により選択した端子 V_i に信号を印加する。

なお、上記の例ではいずれもゲート電極およびドレイン電極が複数のスイッチで共通となっているので、ゲートパルスを加えてスイッチのON・OFFを切換えるだけでなく、リードパルス、ライトパルスを加えるドレイン電極を選択するように、共通電極とドレイン電極の端子 V_{di} との間にドレイン電極を選択するための回路(図示せず)が設けられている。

上記ドライブセル層を用いた実施例では、いずれも強誘電体薄膜を1層とした例で示したが、これを積層した積層型のメモリとしてもよいことは

設けた素子191の2種類の素子を別途に製造し、この2種類の素子をストライプ電極が互いに直交するように重ね合わせて接合した単層のメモリ構成としてもよい。これにより、このメモリの製造プロセスを簡略化して、量産性を向上することができる。

なお、この発明は上記実施例に限定されるものではなく種々の変形、変更が可能である。

例えば、上記実施例ではいずれも強誘電体薄膜を挟んで第1、第2ストライプ電極を積層しているので、分極方向は積層方向と同じ方向(図の縦方向)となっているが、分極方向を積層方向に対して直交する方向(図の横方向)としてもよい。第39図(a)、(b)は、このような分極方向を横方向とした実施例を説明するための図である。第39図(a)は基板2上に形成した強誘電体薄膜3にエッチング等で規則的に複数の孔を設け、この孔の中に第1、第2ストライプ電極4、5を交互に埋設することによりストライプ電極4、5で強誘電体薄膜3を挟むようにして、図の矢印方向に分

極させるようにしたものである。このように構成すると、ストライプ電極上に強誘電体薄膜を設けるのではなく、基板上に直接強誘電体薄膜を形成できるので、基板上に上述したような結晶性、格子定数の近い単結晶基板を用いることにより、結晶性および配向性に優れ、分極性能が高い強誘電体薄膜が得られる。第39図(b)は第1ストライプ電極4および第2ストライプ電極5を絶縁層を介して互いに直交するように、基板2上に形成された強誘電体薄膜3の一方の面に積層し、この第1ストライプ電極4および第2ストライプ電極5をの間の強誘電体薄膜3を矢印の方向に分極させるようにしたものである。この実施例においても上述の実施例と同様に基板上に直接強誘電体薄膜を形成するので、より完全な結晶性を有する薄膜が得られるとともに、成膜した強誘電体薄膜に対してエッチング等の加工を施す必要がないため薄膜の結晶性を乱すことなく、高品質のメモリ膜を得ることができる。

さらに、上記実施例においてはいずれも、強誘

電体薄膜3および第1、2ストライプ電極4、5を同一平面として積層しているが、第40図に示すように、第1ストライプ電極4および強誘電体薄膜3を凹状に形成し、この凹部内に挿入されるように第2ストライプ電極5を凸状にしてもよい。このようにすると、1つのメモリセルの対向する電極間面積が大きくなり、静電容量が増えて、信号のSN比が向上し、読取りが容易になる。

また、上述の実施例では平面的に形成したドライブセル層の各ドライブセルとストライプ電極との接点をずらすことにより集積密度を向上させているが、各メモリセルに対応してドライブセルを縦型に形成してもよい。第41図はこの縦型のドライブセルとして縦型FET300を形成した実施例を示す図であり、ドレイン電極301の上にN層302、P層303、N層304を順次積層し、その側面に絶縁体305を介して、ゲート電極306を設けて縦型FET300を構成し、この縦型FET300の上部のN層304上に強誘電体薄膜3、ストライプ電極5を順次積層して構

成したものである。

このようにドライブセル層を縦型FETにより構成することにより、単位面積当りのドライブセルの面積を小さくすることができ、集積密度を向上させることができる。

〔発明の効果〕

以上実施例に基いて説明したように、この発明によれば、強誘電体メモリの情報記録位置を常に特定することが可能で、さらに、強誘電体メモリの隣接する記録位置からのクロストークを防止してSN比を向上させ、選択した記録位置に対する情報の記録、読出しを確実かつ高速に行なうことのできる強誘電体メモリを提供することができる。

4. 図面の簡単な説明

第1図はこの発明の基本的な概念を説明するための説明図、第2図(a)～(i)は第1図の強誘電体メモリの製造過程を示す図、第3図は第1図の強誘電体メモリにデータをリードライトする動作を説明するための説明図、第4図は強誘電体メモリの切替手段として半導体スイッチを用いた

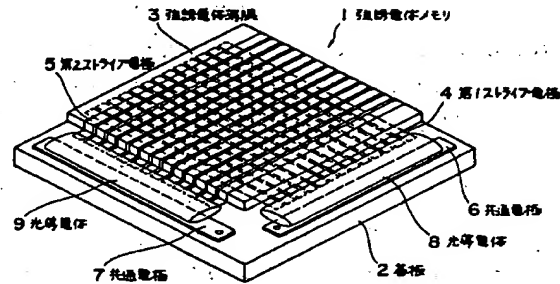
実施例を説明するための説明図、第5図～20図はこの発明の強誘電体メモリにおいてクロストークを防止する手段を講じた実施例を説明するための図であり、第5図はこのクロストークを防止する手段を設けた強誘電体メモリの一実施例を説明するための図、第6図はこの実施例における等価回路を示す図、第7図はクロストークを防止する他の実施例を示す図、第8図はこの実施例の等価回路を示す図、第9～10図は上記実施例に用いられる切替手段の具体的な構成を示す図、第11～13図は書き込み時のクロストークを防止する実施例を説明するための図、第14図は非破壊読出しにおけるヒステリシス特性を説明するための図、第15～17図はクロストークを防止するために半導体回路部としてD I A Cを設けた実施例を説明するための図、第18図(a)～(d)はこの実施例の製造過程を示す図、第19、20図は半導体回路部の他の実施例を説明するための図、第21～38図はドライブセル層を用いた実施例を示す説明するための図であり、第21図はドラ

イブセル層を用いた強誘電体メモリの一実施例を示す分解斜視図、第22図はドライブセル層の一例を示す図、第23図はこのメモリの部分断面図、第24図はドライブセル層の他の例を示す図、第25図(a)~(c)はこのドライブセル層を用いた強誘電体メモリの製造工程の一例を説明するための図、第26、27図は2つのストライプ電極用のドライブセル層を示す図、第28図(a)~(c)はそれぞれ逆プレーナ型TFT、スタガー型TFT、逆スタガー型TFTを示す図、第29~32図は半導体スイッチをMOSTランジスタとしたときのドライブセル層を説明するための図、第33~35図は半導体スイッチを第10図で示したCMOSTランジスタとしたときのドライブセル層を説明するための図、第36図はドライブセル層を用いた積層型の強誘電体メモリを示す図、第37、38図はドライブセル層を用いた強誘電体メモリの他の製法を示す説明するための図、第39図は分極方向を積層方向に対して直交する方向とした実施例を説明するための図、第

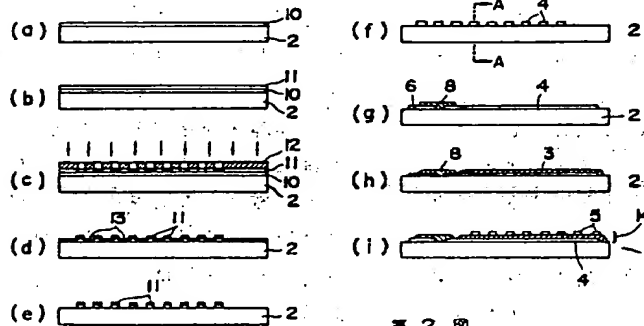
40図は1つのメモリセルの対向する電極間面積を増加させる実施例を説明する図、第41図はドライブセル層を縦型FETとした実施例を示す図、第42図は強誘電体材料のヒステリシス特性を示す図、第43図は従来の強誘電体メモリを示す図である。

- 1…強誘電体メモリ、2…基板
3…強誘電体薄膜、4…第1ストライプ電極
5…第2ストライプ電極、6、7…共通電極
8、9…光導電体、21…メモリセル
15、16、28、29…光ビーム照射手段
120…ドライブセル、121…ドライブセル層

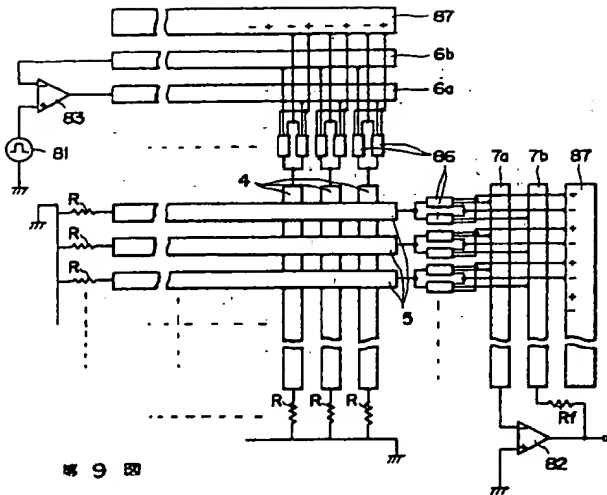
特許出願人 オリンパス光学工業株式会社



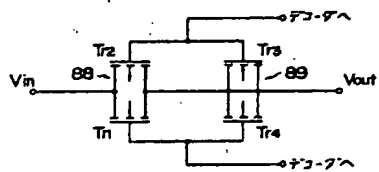
第1図



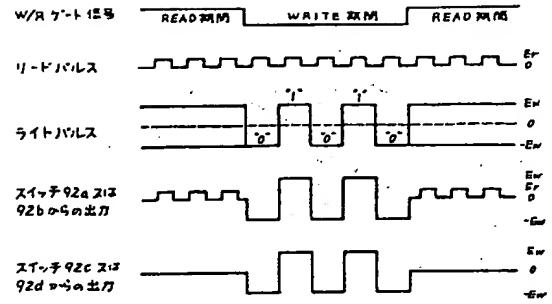
第2図



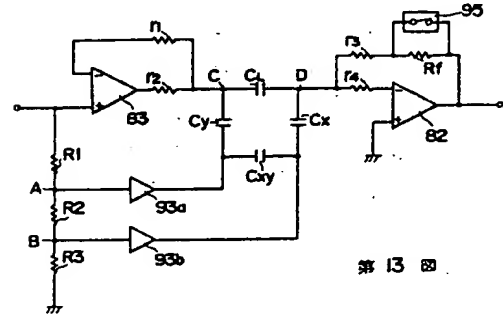
第 9 図



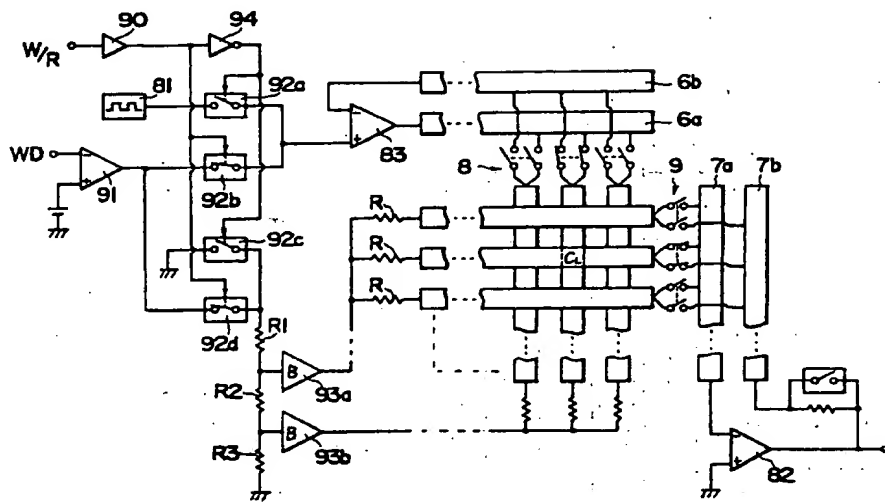
第 10 図



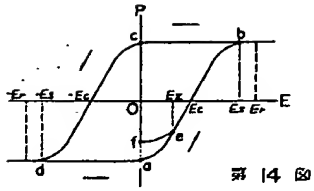
第 12 図



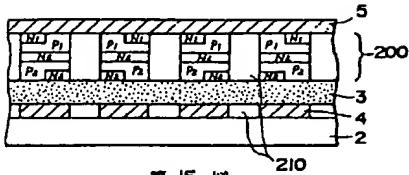
第 13 図



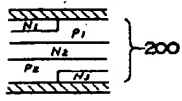
第 11 図



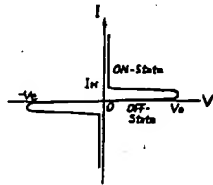
第 14 図



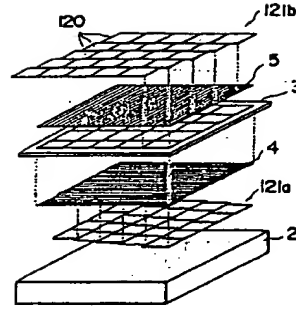
第 15 図



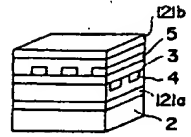
第 16 図



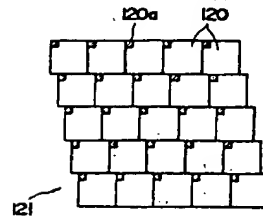
第 17 図



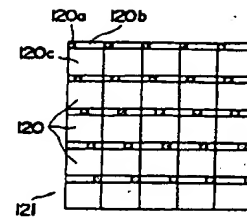
第 21 図



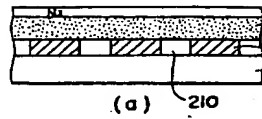
第 23 図



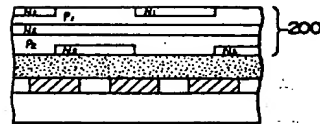
第 22 図



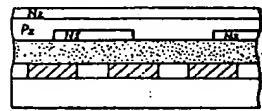
第 24 図



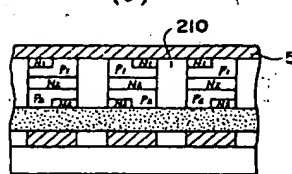
(a)



(c)

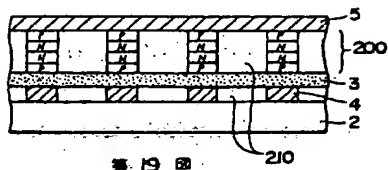


(b)

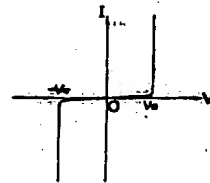


(d)

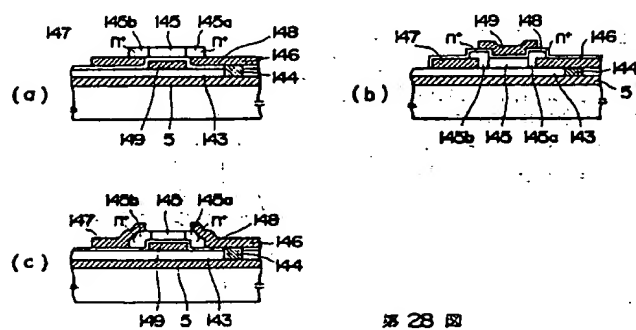
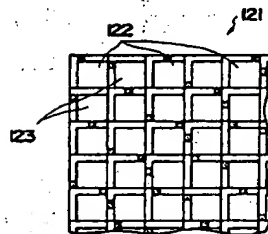
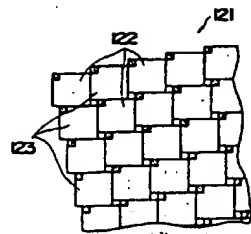
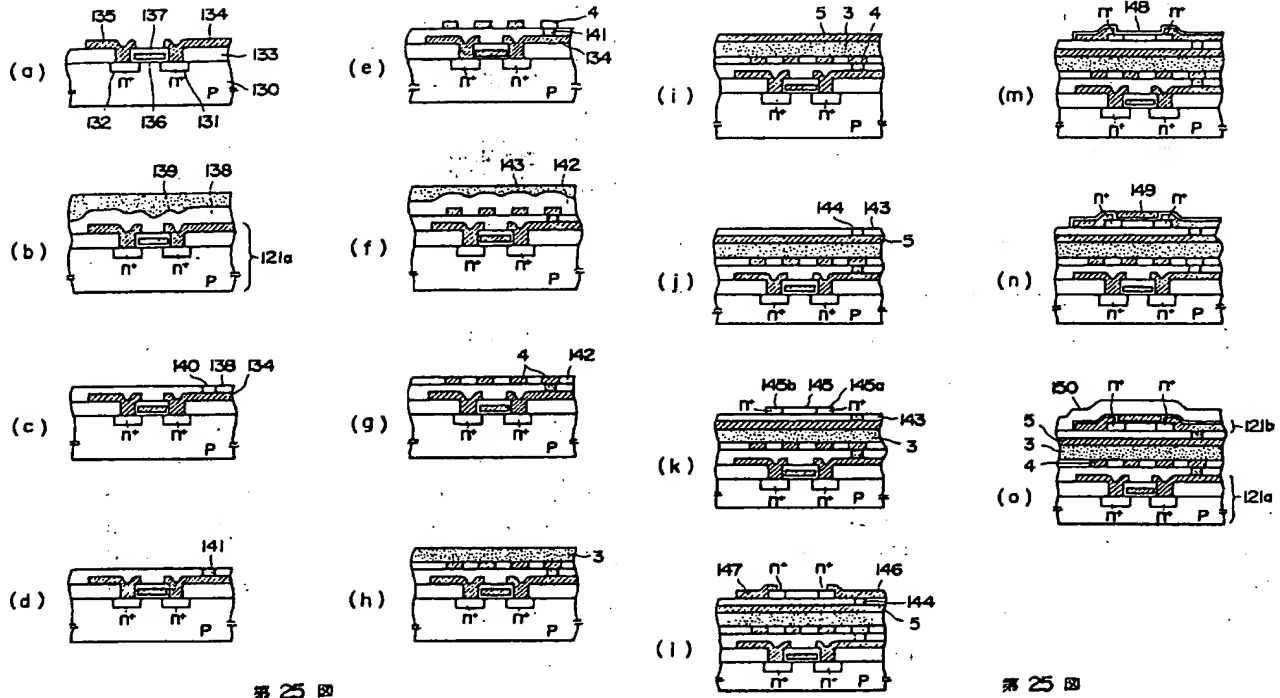
第 18 図

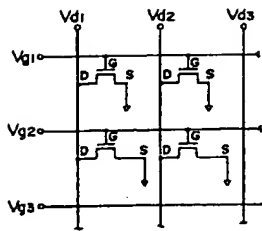


第 19 図

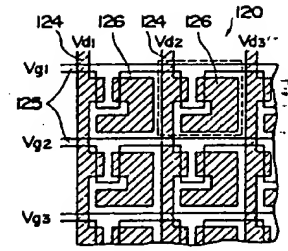


第 20 図

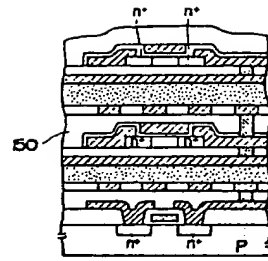




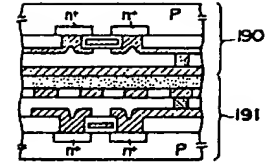
第 29 図



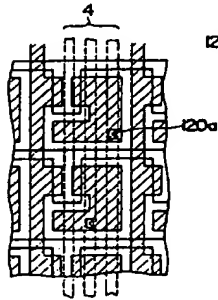
第 30 図



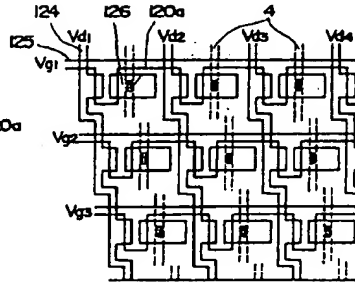
第 36 図



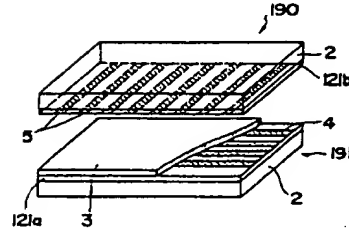
第 38 図



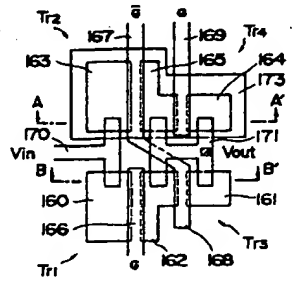
第 31 図



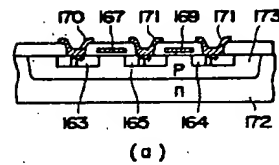
第 32 図



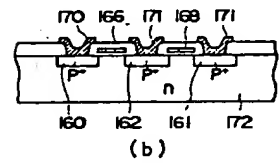
第 37 図



第 33 図

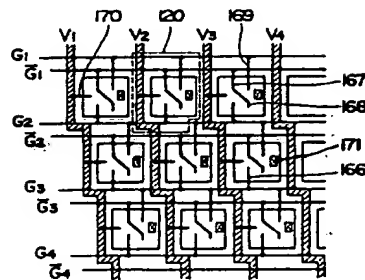


(a)

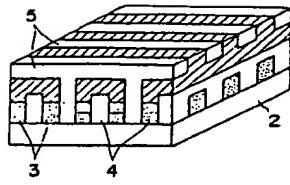


(b)

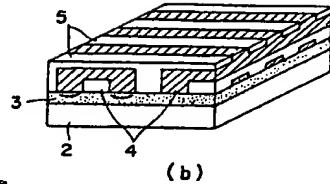
第 34 図



第 35 図

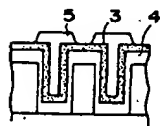


(a)

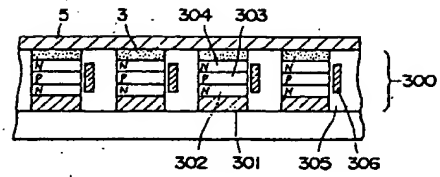


(b)

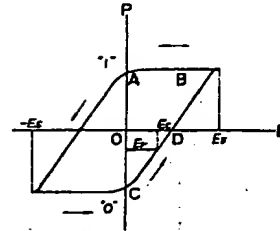
第 39 図



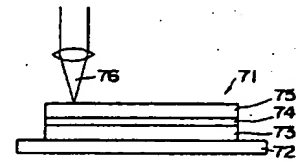
第 40 図



第 41 図



第 42 図



第 43 図

第 1 頁の続き

⑦発明者	由森	博之	東京都渋谷区幡ヶ谷 2 丁目 43 番 2 号	オリンパス光学工業株式会社内
⑦発明者	今出	慎一	東京都渋谷区幡ヶ谷 2 丁目 43 番 2 号	オリンパス光学工業株式会社内
⑦発明者	生田	英嗣	東京都渋谷区幡ヶ谷 2 丁目 43 番 2 号	オリンパス光学工業株式会社内
⑦発明者	柳沢	一向	東京都渋谷区幡ヶ谷 2 丁目 43 番 2 号	オリンパス光学工業株式会社内